

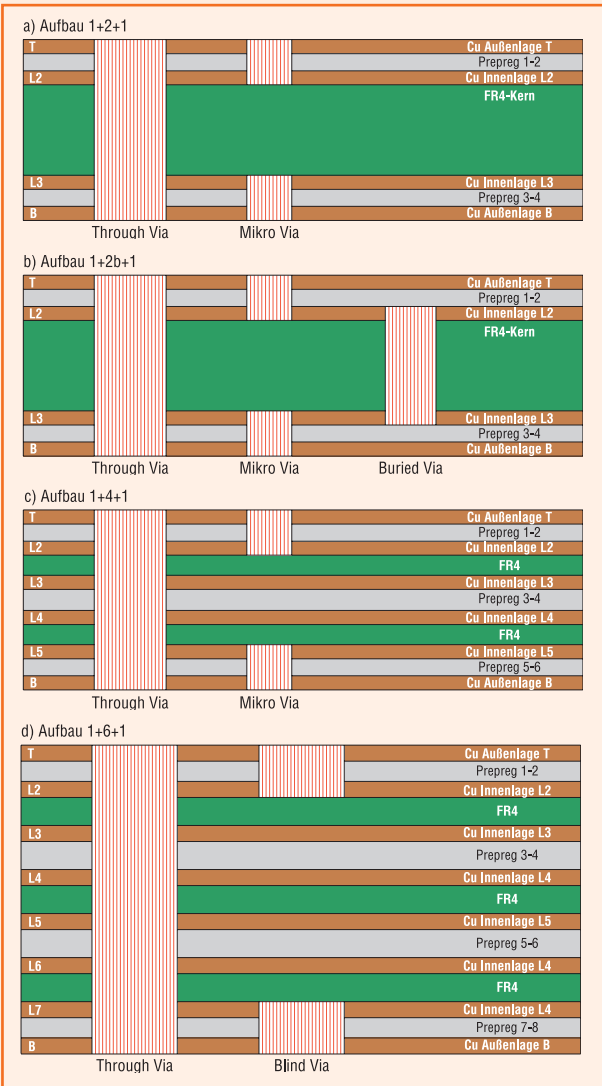
Tipp für Leiterplattendesigner

# Fertigungsgerechtes Layout für HDI-Leiterplatten

Der Marktanteil von in HDI/SBU-Technologie gefertigten Leiterplatten liegt in Deutschland immer noch deutlich unter 15%. Vielfach werden vermeintlich höhere Kosten als Argument gegen die Einführung von HDI (High Density Interconnect) aufgeführt. In Kapitel 9 und 10 unserer HDI-Serie wollen wir konkret zwei Entwurfsvarianten eines Redesigns in klassischer Standardtechnologie und in einer kostenoptimierten HDI/SBU-Ausführung vergleichen.

Grundsätzlich sind bei optimierten Designs vergleichbarer Projekte die Materialkosten bei HDI-Leiterplatten zum Teil deutlich geringer. Dies liegt an der bei HDI deutlich höheren Packungsdichte, die generell mit wesentlich weniger Fläche und damit Material auskommt. Dies ist jedoch ins Verhältnis zu der meist deutlich aufwändigeren Fertigung zu setzen. Die Kostenfaktoren für die einzelnen Realisierungsvarianten sind nach den Erfahrungen der CONTAG GmbH in beiden Technologievarianten zumindest ähnlich, oft sogar identisch. Fertigungsabhängige Kostenfaktoren von HDI-Leiterplatten sind:

- Anzahl der nötigen Verpressungen,
- Anzahl und Komplexität der jeweils nötigen Galvanik-Durchgänge (Erzeugung von leitfähigen Durchkontaktierungen),
- Anzahl und Art der Bohrläufe (für unterschiedliche Bohrgrößen),
- Anzahl und Art der jeweiligen Bohrungen (Mechanisch/Laser),
- kleinste Bohrgröße bei mechanisch gebohrten Löchern,
- geringste Leiterbahnbreiten/-abstände der Mikrovia-Lagen,
- Aspect Ratio,
- Kern-, Laminat- und endgültige Leiterplattendicken,
- Flächenausnutzung auf dem Fertigungsnutzen,
- spezieller Aufbau wie z.B. spezifische Impedanzen oder Plugging,
- Sondermaterialien,
- sonstige Sonderanforderungen; speziell im Blick auf Genauigkeitsanforderungen außerhalb der eingefahrenen Standards und
- spezielle Oberflächen.



■ Bild 1: a) 4-Lagen-Aufbau mit einer Mikrovia-Lage oben (T) und unten (B), b) 4-Lagen-HDI-/SBU-Board mit Buried Vias im Kern, c) 6-Lagen-HDI-/SBU-Board, d) 8-Lagen-Aufbau mit Sacklöchern

Was in der Praxis möglich ist

Das mögliche Lösungsfenster gibt in der Praxis die Spezifikation der Leiterplatte vor. Oft gibt es harte Kriterien wie eine maximale Platinengröße, eine Impedanzvorgabe oder ein spezifisches Bauteileraster, die nicht verhandelbar sind und Mindestwerte festsetzen. Die verbleibenden weichen Parameter lassen sich dann nach Kosten- und Fertigungsgesichtspunkten gegeneinander abwägen. Dabei sind jedoch die Gesamtprojektkosten des Produktes über die Lebensdauer zu betrachten; insbesondere auch das Verhältnis zwischen Einmalkosten und sich wiederholenden Kosten mit Blick auf die zu erwartenden produzierten Stückzahlen. Normalerweise gilt es, vor allem die Fläche, die Anzahl der Durchkontaktierungen, die Lagenanzahl und die Anzahl der Verpressvorgänge zu reduzieren. Die HDI/SBU-Technologie ermöglicht aufgrund ihrer feineren Strukturen sowie der Platz sparenden Mikrovias eine deutlich direktere und effizientere Leitungsführung. Das Resultat sind eine erheblich reduzierte Fläche und wesentlich weniger Durchkontaktierungen. Aber hebt dies auch den höheren Fertigungsaufwand auf sowie die Anfangskosten für die Umstellung?

Eine grobe Abschätzung bietet die aktualisierte Tabelle, die wir in ähnlicher Form aus Kapitel 2 der Serie bekannt ist. Bezugspunkt ist dabei ein 8-lagiger Standard-Multilayer mit einer Dichte von etwa 500 Verbindungen bzw. Pins pro Quadratdezimeter. Die exakten Parameter ergeben sich für die jeweilige Schaltung

Bilder: CONTAG

Technologie	Standard	Standard-SBU	HDI - IPC Typ I	HDI - IPC Typ II				
Lagenaufbau	n	1+n+1	1+n+1	1+bn+1				
Mikrovias	Nein	konventionelle Blind Vias	in den Außenlagen					
Buried Vias	Nein	Nein	Nein	Ja				
relativer Faktor in Bezug auf ein 8-lagiges Board in Standard-Technologie								
Lagenzahl	Kosten	Dichte	Kosten	Dichte	Kosten	Dichte	Kosten	Dichte
4	0,7	< 0,3	0,9	0,5	0,9	1,3	1,1	2,5
6	0,9	0,6	1,1	1,1	1,1	2,0	1,2	<b>5,0</b>
8	1,0	1	1,2	1,9	1,2	<b>4,0</b>	1,4	<b>6,0</b>
10	1,2	1,3	1,4	2,5	1,4	<b>6,5</b>	1,6	<b>7,0</b>
12	1,4	2,0	1,6	3,8	1,6	<b>7,0</b>	1,8	<b>7,5</b>
14	1,7	2,3	1,9	4,3				
16	2,0	2,7	2,2	5,0				
Kostenfaktoren:								
Verpressungen	1		1		1		2	
Galvanik	1		1		1		2	
Bohrläufe (µVia)	0		1+1 (BV)		1+1		1+1	
Bohrläufe (DK)	1		1		1		2	

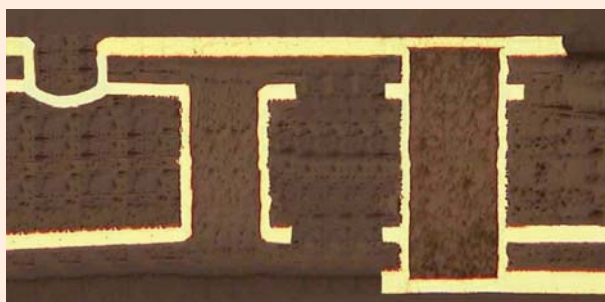
■ **Tabelle:**  
Grobe Abschätzung der Kosten und die erzielbare Verdrahtungsdichte. Bezugspunkt ist ein 8-Lagen-Standard-Multilayer mit einer Dichte von etwa 500 Verbindungen bzw. Pins pro Quadratdezimeter.

Quelle: ibw Industrieberatung

immer ganz spezifisch und können je nach Einzelfall noch ganz erheblich abweichen.

### Ein konkretes Beispiel: 1-2-1-Lagenaufbau

Grundannahme ist ein Design mittlerer Komplexität, das keine besonderen oder flächendeckenden Anforderungen bezüglich hoher Frequenzen oder Signal- bzw. Powerintegrity stellt und einen festen Formfaktor hat (vorgegebene Platinengröße z.B. Computer-Board). Da hier keine durchgehenden Power- und Ground-Ebenen benötigt werden, bietet es sich an, ein komplettes Redesign als nur 4-lagige Platine zu machen (Bild 1a). 1-2-1 steht dabei für eine Realisierung als 4-lagiger sequenzieller Aufbau (SBU) mit jeweils einer auflaminierten Mikrovia-Lage auf der Oberseite, einer Kernlage mit 2 Layern und einer auflaminierten Mikrovia-Lage auf der Unterseite. Rein kostenmäßig attraktive Alternativen dazu wären ein 4-lagiges HDI-/SBU-Board mit Buried Vias im Kern (1+2b+1; Bild 1b), ein 6-lagiges HDI-/SBU-Board (1+4+1; Bild 1c) oder eine 8-lagige Platine mit Sacklöchern in konventioneller Technologie als SBU (Bild 1d). Durch das Ausnutzen der dann möglichen höheren maximalen Verbindungsdichte wäre hier eine Kosteneinsparung über eine deutlich kleinere Platinenfläche zu erzielen. In unserem Beispiel ist dies wegen des festen Formfaktors aber nicht möglich. Und selbst wenn:



■ Bild 2: Schliffbild einer 1+2+1-HDI-Leiterplatte: 4-lagiger sequenzieller Aufbau (SBU) mit jeweils einer auflaminierten Mikrovia-Lage auf der Ober- und Unterseite

Bei einer neuen Variante als klassisches Board mit Sacklöchern würden trotz der Kostenersparnis im Vergleich zur ursprünglichen Lösung der höhere Entflechtungsaufwand und die fehlende Zukunftssicherheit (Verwendbarkeit von Bauteilen mit kleinem/hochdichtem Anschlussraster) dagegen sprechen. Es gilt also auf viele Punkte zu achten und im Projekt entsprechend zu optimieren.

### Was es noch zu beachten gilt

Ausschlaggebend sind immer die Gesamtkosten über die Lebensdauer (TCO). Diese schließen Kriterien wie die langfristige Verfügbarkeit von Bauelementen und Fertigungstechnologie mit ein, aber auch die jeweiligen Entwicklungskosten im Bezug auf die geplante Stückzahl. Oft gibt es von den Chipsatzherstellern konkrete Referenzdesigns und Anwendungsempfehlungen (Application Notes) mit Entflechtungsbeispielen (Breakout Patterns). Diese beziehen sich meist nur auf ein oder zwei ganz bestimmte Technologien. Im Mainstream-Prozessorbereich ist sehr oft aus Kostengründen der hier im Beispiel erwähnte 1-2-1-Lagenaufbau in HDI-Technik. Hier kann der Entwickler mit bewährten Referenzdesigns viel Zeit und damit Geld sparen und typische Fehler vermeiden. Zudem kann man so zuverlässig Blöcke auf die Schaltung übernehmen (z.B. schnelle Speicheranbindung), für die das Verständnis fehlt. Manchmal kommen hierzu auch Sondertechnologien wie Plugging (siehe Kapitel 8) zum Einsatz wie im Beispiel des 1-2b-1-Lagenaufbaus des gezeigten Schliffbildes eines aktuellen PC-Prozessorboards (Bild 2). Dies mag auf den ersten Blick aufwändig und teuer erscheinen. Unter dem Strich rechnet es sich aber, da das gesamte Redesign trotz hochpoliger BGAs statt vorher mit 10 klassischen Lagen jetzt mit nur 4 HDI-Lagen auskommt. Wichtig für den Entwickler sind hierbei allerdings absolute Zuverlässigkeit und Qualität des Leiterplattenfertigers für die jeweilige Technologie sowie eine umfangreiche Planungsunterstützung bereits im Vorfeld der Entwicklung. (cm)

CONTAG

Tel. +49(0)30 351788250

[www.elektronikpraxis.de](http://www.elektronikpraxis.de)

InfoGlick

Die Kapitel 1 bis 8 der HDI-/Mikrovia-Serie

235433